

PAT-NO: JP405055914A

DOCUMENT-IDENTIFIER: JP 05055914 A

TITLE: SYNTHESIZER CIRCUIT

PUBN-DATE: March 5, 1993

INVENTOR-INFORMATION:

NAME  
SATO, MASUJIRO

ASSIGNEE-INFORMATION:

| NAME     | COUNTRY |
|----------|---------|
| NEC CORP | N/A     |

APPL-NO: JP03235648

APPL-DATE: August 23, 1991

INT-CL (IPC): H03L007/18, H03L007/183

US-CL-CURRENT: 331/19

ABSTRACT:

PURPOSE: To shorten a control time till the output of a voltage controlled oscillator reaches an objective frequency and to reduce power consumption.

CONSTITUTION: This circuit consists of a VCO 11, a 1st frequency divider 12 frequency-dividing the output of the VCO, a reference oscillator 15, a 2nd frequency divider 14 frequency-dividing the output of the frequency oscillator, and a CPU 13 detecting the frequency difference of the output of 1st and 2nd frequency dividers and controlling the oscillating frequency of the VCO based on the frequency difference. The CPU resets and releases the reset of the 1st and 2nd frequency dividers simultaneously and the times of output change of each frequency divider are compared after reset release to obtain a frequency difference, the oscillating frequency of the VCO is controlled accordingly and the operations of the 1st and 2nd frequency dividers are tentatively stopped simultaneously.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-55914

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl.<sup>5</sup>

H 03 L 7/18

7/183

識別記号

庁内整理番号

F I

技術表示箇所

9182-5J

9182-5J

H 03 L 7/18

Z

B

審査請求 未請求 請求項の数 2(全 3 頁)

(21)出願番号

特願平3-235648

(22)出願日

平成3年(1991)8月23日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐藤 益次郎

東京都港区芝五丁目7番1号 日本電気株

式会社内

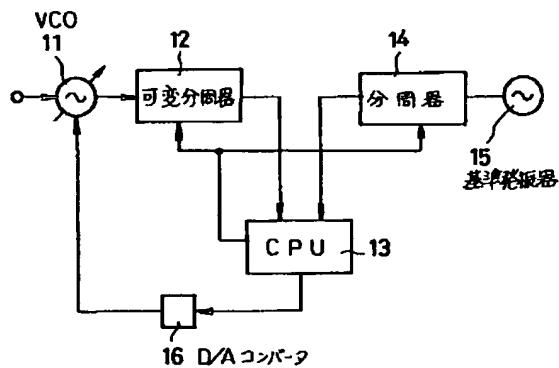
(74)代理人 弁理士 鈴木 章夫

(54)【発明の名称】 シンセサイザー回路

(57)【要約】

【目的】 電圧制御発振器の出力を目的の周波数とするまでの制御時間を短縮し、かつ消費電力の低減を図ったシンセサイザー回路を得る。

【構成】 VCO 11と、このVCOの出力を分周する第1の分周器12と、基準発振器15と、この基準発振器の出力を分周する第2の分周器14と、第1及び第2の分周器の出力の周波数差を検出し、この周波数差に基づいてVCOの発振周波数を制御するCPU 13とで構成される。CPUは第1及び第2の分周器のリセット及びリセット解除を同時にし、このリセット解除後の各分周器の出力変化の時間比較を行って周波数差を求め、これに応じてVCOの発振周波数を制御し、かつ同時に第1及び第2の分周器の動作を一時停止させる。



## 【特許請求の範囲】

【請求項1】 電圧制御発振器と、この電圧制御発振器の出力を分周する第1の分周器と、基準発振器と、この基準発振器の出力を分周する第2の分周器と、前記第1及び第2の分周器の出力の周波数差を検出し、この周波数差に基づいて前記電圧制御発振器の発振周波数を制御するCPUとを備えることを特徴とするシンセサイザ回路。

【請求項2】 CPUは、前記第1及び第2の分周器のリセット及びリセット解除を同時に、かつ第1及び第2の分周器のリセット解除後の出力変化の時間比較を行って周波数差を求め、この周波数差に応じて前記電圧制御発振器の発振周波数を制御し、これと同時に前記第1及び第2の分周器の動作を一時停止させる請求項1のシンセサイザ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はシンセサイザ回路に関し、特に低消費電力を図ったシンセサイザ回路に関する。

## 【0002】

【従来の技術】 従来のシンセサイザ回路は、図2のブロック図に示すように、外部出力を持つ電圧制御発振器（以下、VCOと略す）21と、VCO21からの出力を任意の分周数で周波数を分周する可変分周器22と、基準となる周波数を出力する基準発振器25と、基準発振器25の出力を一定の周波数に分周する固定分周器24と、可変分周器22と固定分周器24の位相を比較して位相誤差を出力する位相比較器23と、位相比較器23からの位相誤差信号を平滑してVCO21の制御端子に制御電圧を出力する低域ろ波器26とで構成される。

【0003】 このシンセサイザ回路において、VCO21の制御端子に加わる電圧が高くなると周波数が上がるVCOの場合には、分周器22と24の各出力の位相を比較して分周器22からの出力の位相が進んでいる間、位相比較器23の出力はVCO21の制御端子にグランド電位を出力し、結果として、VCO21の制御端子の電圧は下がり周波数は上がる。逆の場合、位相比較器23の出力は電源電位を与えるため、VCO21の周波数は下がる。こうして複数回の制御の後、位相が合うと位相比較器23の出力はなくなり安定する。

## 【0004】

【発明が解決しようとする課題】 この従来のシンセサイザ回路では、シンセサイザ回路の電源を入れて周波数が安定するまでに、前述したような複数回の制御が必要とされるため、周波数が安定するまで時間がかかるという問題がある。このため、従来では電源を断する際に低域ろ波器26の出力を保持させ、次に電源を入れるときにその出力でVCO21の出力周波数を制御するようにした回路が提案されている。しかしながら、この回路

においても、ある程度の時間、電源が切っておくとVCO21と基準発振器25の周波数に僅かな相違が生じ、電源を入れた時に周波数は殆ど同じであるが位相がずれる状態が生じ、最悪の場合は180°の位相ずれを起こす事もある。この事は判定があくまでも位相比較器23で行われるため、最大の出力をってしまい、結果としてVCO21の周波数が大きく動き、制御にまた長時間かかるという問題となる。

【0005】 又、シンセサイザ回路においては電力消費の点では特に高い周波数を分周する分周器の割合が多い。このため、低消費電力をを目指したシンセサイザ回路においては、回路の立ち上げを早くすると共に、周波数がほぼ安定した時には動作を停止したいという要求がある。しかしながら従来の位相比較器では、周波数のわずかなずれも検出してしまうため、動作中は分周回路を停止させる事は困難であった。本発明の目的は、目的の周波数を制御するまでの時間を短縮し、かつ消費電力の低減を図ったシンセサイザ回路を提供することにある。

## 【0006】

【課題を解決するための手段】 本発明のシンセサイザ回路は、VCOと、このVCOの出力を分周する第1の分周器と、基準発振器と、この基準発振器の出力を分周する第2の分周器と、第1及び第2の分周器の出力の周波数差を検出し、この周波数差に基づいて前記VCOの発振周波数を制御するCPUとで構成される。ここで、CPUは、前記第1及び第2の分周器のリセット及びリセット解除を同時に、かつ第1及び第2の分周器のリセット解除後の出力変化の時間比較を行って周波数差を求め、この周波数差に応じてVCOの発振周波数を制御し、これと同時に第1及び第2の分周器の動作を一時停止させるように機能する。

## 【0007】

【作用】 本発明によれば、第1及び第2の分周器の出力の周波数差に基づいてVCOを制御するため、短い時間で周波数差を検出し、VCOの制御が可能となる。又、VCOの制御と同時に第1及び第2の分周器の動作を一時停止させるため、消費電力を低減させる。

## 【0008】

【実施例】 次に、本発明について図面を参照して説明する。図1は本発明の一実施例のブロック図である。外部に出力を持つVCO11と、VCO11の出力を受けて任意の分周数を選定でき、かつリセット端子を持つ可変分周器（第1の分周器）12と、基準となる周波数を出力する基準発振器15と、基準発振器の出力を分周する分周器（第2の分周器）14と、時間計測と分周器12、14へのリセット及びVCO11への出力電圧を制御し、分周器12、14の動作を指令するCPU13と、CPU13のデジタル信号をアナログに変換しVCO11の制御端子へ制御電圧を加えるD/Aコンバータ

16とで構成されている。

【0009】この構成において、CPU13に対してシンセサイザー回路の動作命令を出すと、CPU21は可変分周器12と分周器14のリセットを解除した上で、各分周器12, 14の出力の変化点を同時に検出する。そして、各分周器12, 14の出力の変化点が表された間の時間を計測し、各分周器12, 14をリセットして分周器の動作を停止させる。このとき、計測した時間に基づいて演算を行えば、この値が各分周器12, 14の出力の周波数差となるため、その値に伴って制御電圧をD/Aコンバータ16を通してVCO11の制御端子に印加する。

【0010】ここで、相互の周波数のズレが許容範囲に入ればシンセサイザー回路の動作、特に分周器の動作を一定時間停止させる。もちろん、逆の場合は即動作させ、許容範囲に入るまで続ける事となる。したがって、CPU13は各分周器12, 14のリセットを解除した後の出力の変化点を検出することで、各分周器12, 14の周波数差を求めることができ、この周波数差に基づいてVCO11を制御することになる。このため、分周器12, 14の動作時間を短縮でき、電力消費を低減することが可能となる。

10 【図面の簡単な説明】

【図1】本発明のシンセサイザー回路の一実施例のブロック図である。

【図2】従来のシンセサイザー回路のブロック図である。

【符号の説明】

11 VCO (電圧制御発振器)

12 可変分周器 (第1の分周器)

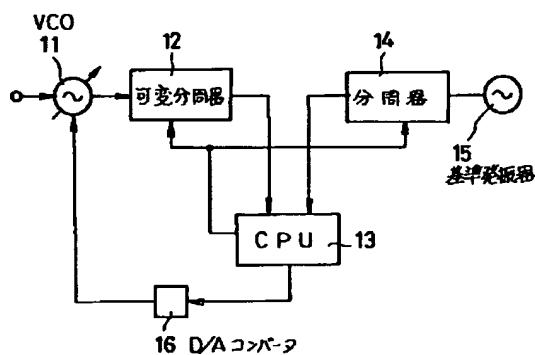
13 CPU

14 分周器 (第2の分周器)

15 基準発振器

16 D/Aコンバータ

【図1】



【図2】

